

博士研究计划：面向多芯粒的设计划分、组合及早期PPA估算

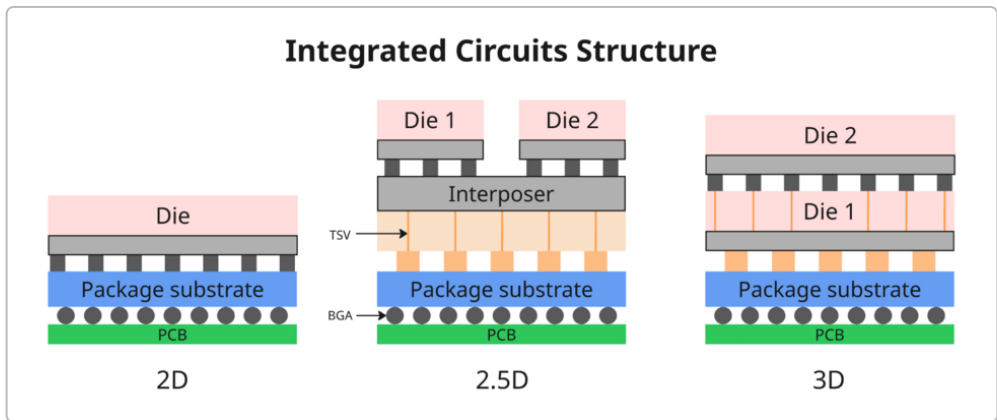


图1：2D、2.5D、3D 集成架构对比示意图^{1 2}。中间的2.5D方案在单个封装中将多个芯粒并排放置于硅中介层上，通过中介层路由实现芯粒互连，达到接近3D堆叠的高带宽和低功耗优势，同时降低了制造复杂度和提高了良率。

一、研究背景与意义

随着半导体工艺接近物理极限，芯片设计面临**摩尔定律减速与光罩尺寸限制**等瓶颈^{3 4}。单芯片集成更多晶体管的成本效益正在下降，业界开始寻求新的集成范式。⁵近年来，**异构集成和多芯粒（Chiplet）**架构迅速兴起，被视为突破摩尔定律瓶颈的有力方案^{6 7}。芯粒指将大型系统按功能划分为多个小芯片（裸片），通过先进封装技术（如硅中介层2.5D封装、3D堆叠等）组合在一起，实现类似单芯片的整体功能^{8 1}。这一设计理念具有诸多优势：一方面，小芯粒更易于优化良率并降低成本，复用已有IP模块，实现“积木式”快速设计^{9 10}；另一方面，不同芯粒可以采用最佳制程（例如将高速逻辑置于先进节点、模拟IO置于成熟节点），实现**异构集成**以提升性能功耗比^{11 12}。例如，AMD的ZEN2处理器和赛灵思Virtex-7 2000T FPGA已成功采用2.5D芯粒架构，实现了高性能与成本效益并存¹³。

然而，多芯粒架构的优势能否充分发挥，**高度依赖EDA设计流程的支持和优化**¹⁴。传统的电子设计自动化工具主要面向单片SoC，对于芯粒系统在架构划分、芯片组合、封装互连、热管理等方面的新挑战，现有方法尚不成熟^{15 16}。如果缺乏有效的设计规划，多芯粒方案可能**得不偿失**——额外的跨芯片互连开销可能导致性能下降、功耗上升，抵消芯粒带来的成本优势¹⁷。因此，从**EDA角度**研究面向多芯粒的设计方法学具有重要意义。这不仅是学术前沿，也是产业迫切需求：通过改进EDA技术，方能加速芯粒架构设计进程，优化PPA（性能Power、功耗Performance、面积Area）指标，降低开发成本，为“**千芯万核**”级别的大规模芯片系统提供可行的设计途径。

本研究计划的核心定位在于**面向多芯粒的设计划分、组合及早期PPA估算**。具体来说，就是在芯片架构层面确定如何将复杂系统合理地划分成多个芯粒（Partitioning），如何将这些芯粒在封装中优化地组合布局（Floorplanning/Integration），以及如何在详细实现之前就**快速预测**设计方案的性能、功耗、面积等指标（Early PPA

Estimation)。通过上述三个方面的研究，旨在建立一套适用于多芯粒芯片设计的智能EDA方法，为高性能异构集成电路的高效设计提供支持。

二、国内外研究现状

1. 多芯粒架构与设计划分现状：多芯粒/Chiplet架构已成为业界关注焦点，全球主要半导体公司（如AMD、Intel、TSMC、三星等）都投入研究。芯粒化设计的**首要问题**是如何划分系统功能模块并映射到不同芯粒上。相较传统SoC内部模块划分，芯粒划分需要考虑更多维度：工艺节点异构、封装形式、跨芯片互连带来的延迟与功耗，以及良率和成本因素⁴¹⁸。近年来的调研表明，**芯粒的大规模采用使设计划分问题变得前所未有的复杂**⁷。为了获得最佳性能和效率，划分必须在架构设计早期就规划好，而非事后拆分¹⁹。实践中常见的**异构拆分策略**是：将**I/O接口、模拟单元、存储**等不随制程线性缩放的模块从核心逻辑中分离出来，留在成熟工艺节点；而将主要的**计算核心**（CPU/GPU/加速器等）放置在先进工艺上¹¹。这种按功能域划分的方式，可以让不同模块各用其 optimal 工艺节点，实现性能与成本的平衡²⁰。

然而，合理划分只是第一步，更大的挑战在于**划分方案的优化**。简单的网表min-cut等传统Partition算法难以直接胜任芯粒划分任务，因为**问题规模更小但目标更复杂**，需要同时考虑面积、性能、功耗、良率、封装可行性等多因素²¹。例如，芯粒间的I/O引脚**传输距离限制**可能使某些划分方案在物理上不可行，因而Partition阶段就需要**考虑平面布局约束**²²²³。对此，学术界开始提出新方法：2023年Chen等提出了“Floorplet”框架，将**芯粒划分与平面布局**纳入统一考虑，通过Gem5模拟不同芯粒布置对系统性能的影响，并建立成本和可靠性模型以优化芯粒floorplan²⁴²⁵。实验显示，Floorplet能使多芯粒系统的跨芯片通信代价下降约24.8%，在性能与成本间取得更优折中²⁶。2024年Graening等提出了开源工具“ChipletPart”，侧重**成本驱动**的芯粒划分²⁷。ChipletPart引入了复杂的芯粒成本模型，并采用**遗传算法结合模拟退火**的优化策略，将划分、工艺节点分配和I/O距离约束的floorplan统一求解²⁸²⁹。结果显示，相比不考虑平面布局的传统算法（如hMETIS等）以及先前工作Floorplet，该方法在降低芯粒制造成本方面分别有显著提升（成本最高降低58%，相对Floorplet降低约6%~47%）³⁰。这说明**智能优化算法**（启发式/元算法）在芯粒划分问题上具有巨大潜力。目前国际上关于芯粒划分与布局的研究方兴未艾，初步成果表明综合考虑异构工艺、互连限制和成本的**协同优化**是提高多芯粒设计质量的关键³¹³²。

2. 芯粒组合集成与物理设计现状：在确定划分方案后，多芯粒系统需要通过封装实现**组合集成**。2.5D架构通常采用硅中介层（interposer）承载多个芯粒，并通过中介层布线和硅通孔(TSV)连接到底层封装基板³³³⁴。与单芯片SoC相比，芯粒之间通过中介层通信会引入额外延迟和功耗开销，因此**芯粒在封装中的布局**对性能影响重大³⁵²⁶。优化的floorplan能够缩短芯粒间关键连接，降低互连线电阻电容，从而减小功耗并提升速度³⁶；相反，不良的布局会造成过长的跨芯片连线，增加延迟并可能引发信号完整性和热热点问题¹⁶³⁷。当前EDA在芯粒物理设计方面仍在探索。一方面，传统IC物理设计需要扩展以处理**中介层布线、Micro-bump/TSV规划**等新元素；另一方面，需要在**芯片与封装协同设计**（Co-design）中优化，如同时考虑芯片内部Floorplan与封装走线的协调。近期已有研究关注这些问题，例如有工作提出在floorplan阶段自动**热斑缓解**和应力优化，以适应异构3D/2.5D设计的需要³⁸。然而，全面成熟的芯粒EDA流程尚未形成，特别是**早期架构设计与后期物理实现的衔接**方面，还存在较大空白。这也是本课题拟重点攻关的内容之一：建立从架构划分到封装集成的连贯设计方法，填补多芯粒系统设计自动化的空白。

3. 早期PPA估算与AI在EDA中的应用：在传统设计中，准确获取性能、功耗、面积（PPA）指标往往要等到详细的综合或布局布线完成后。这种后验评估方式已无法支撑**庞大的设计空间探索**需求——在芯粒架构下，架构/划分方案组合爆炸式增长，如果每次都跑完整EDA流程，时间成本难以接受。对此，**机器学习(ML)**正被引入以实现PPA的**早期快速预测**。近期有研究提出了基于ML的RTL级PPA估算框架：通过将硬件描述代码转换为**比特级算子图**表示，并训练树模型预测电路的时序和功耗指标，获得了极高精度（在147个设计上，对时序违约指标WNS/TNS的预测准确率达98%，功耗预测准确率约90%）³⁹。这表明借助ML模型，可以在不跑完整EDA流程的情况下，就大致评估设

计方案的优劣，从而大幅加速架构和划分方案的筛选。此外，**图神经网络(GNN)**等技术也被用于EDA领域，例如电路网表被建模为图，以预测拥塞、时序收敛等⁴⁰。AI在EDA中的应用已经扩展到**布局、布线、单元尺寸优化**等多个环节⁴¹。工业界方面，谷歌、英伟达、Cadence、Synopsys等均推出了AI辅助芯片设计的工具或方案⁴²；学术界则报道了深度强化学习在芯片设计空间探索中超越人类专家的案例，例如DAC大会的一项实验中，基于图卷积网络的深度RL算法在限定时间内优化设计指标的表现优于经验丰富的工程师⁴⁰。这些进展预示着：通过**引入AI**，有望打破以往EDA工具的局限，在更高维度上优化芯片设计品质。例如Synopsys的研究表明，借助AI技术可以在工程师已调优的设计上进一步减少约25%的功耗⁴³。总的来看，AI正逐步融入EDA流程，特别是在复杂系统的**设计空间探索**和多目标优化上显示出独特优势⁴⁴⁴⁵。

需要指出的是，AI在EDA中的应用也面临挑战。例如，芯片设计要求**结果完全正确**且满足物理可实现性，而AI模型本质上给出的是统计预测，需要谨慎验证⁴⁶。因此当前更现实的模式是让**AI辅助人类决策**，提供建议方案，再由工程师或确定性算法校验优化⁴⁷。本课题也将遵循这一思路，充分利用AI优势的同时，通过结合传统EDA模型确保结果可靠性。

综上所述，多芯粒EDA领域虽然起步不久，但已展现出广阔前景和诸多研究热点。从架构划分、芯粒布局到早期PPA预测，各方面的研究正逐步深入。**本课题将站在这一领域的前沿**，综合运用优化算法和机器学习技术，解决多芯粒设计中的关键问题。下面将结合申请人自身的背景与优势，阐述具体的研究目标和内容。

三、研究目标

本课题的总体目标是：**面向多芯粒芯片的设计自动化方法研究，建立从架构划分到封装布局、早期性能预测的完整方法学，显著提升多芯粒系统设计的效率和PPA优化能力。**

具体而言，课题拟实现以下几个目标：

- **目标1：提出智能化的多芯粒设计划分方法。**研究如何将一个复杂系统/SoC按照功能模块划分成多个芯粒，同时确定每个芯粒的工艺节点分配。在满足物理可行性的前提下，使划分方案在性能、功耗、面积、良率、成本等方面达到优化平衡。希望开发新的划分算法，使芯粒划分结果优于传统方法，并支持异构集成和可扩展性。
- **目标2：开发芯粒系统的布局组合优化技术。**针对2.5D/3D封装形式，研究芯粒在中介层/基板上的平面布局、互连及组合方案。目标是在给定划分方案后，通过优化芯粒的位置排列、IO接口分布和中介层走线，**降低芯粒间通信代价**，缓解热应力和信号完整性问题，提升整体性能和功耗表现。最终形成可辅助EDA进行芯粒floorplanning和封装协同设计的技术。
- **目标3：建立早期PPA估算模型与工具。**研究利用机器学习或统计方法，从设计早期的描述（如RTL代码、架构划分方案、模块连接图等）出发，快速预测出设计的PPA指标。目标是达到较高精度，从而指导架构和划分阶段的决策。该模型应具有良好的泛化性，适用于不同规模和类型的设计，为设计空间探索提供**快速评估手段**。
- **目标4：验证方法有效性并服务实际应用。**在开放数据集或实际工业设计上测试上述方法，将其融入实际EDA流程（如OpenROAD等开源工具链）验证效果。最终希望能在性能优化显著的同时控制算法运行效率，使之有潜力应用于工业设计流程。特别地，本课题的成果将争取应用于飞腾公司等高性能处理器的芯粒化设计需求，为“千芯万核”级别芯片的设计提供技术储备。

归纳而言，本研究力求在理论上有所创新（提出新的算法和模型），在实践上有所验证（开发原型工具并在真实设计上测试），为多芯粒EDA领域的发展做出贡献。

四、研究内容与方法

围绕上述目标，课题研究内容可分为三个相互关联的方向：(1) **多芯粒架构的划分与异构集成方法**，(2) **多芯粒系统的组合布局与物理实现优化**，(3) **早期PPA估算与智能优化决策**。下面分别介绍计划的研究内容和拟采用的方法。

4.1 多芯粒架构划分与异构集成方法

研究内容： 针对给定的芯片系统功能（例如包含CPU核、GPU模块、AI加速单元、存储控制器等的SoC设计），研究如何按照一定准则将其划分为多个芯粒。划分需决定每个芯粒包含哪些模块、芯粒间的接口划分，以及每个芯粒采用的工艺节点。在此基础上，确定芯粒之间通过何种封装互连方式集成（如2.5D硅中介层互连、HBM存储垂直堆叠等）。该方向涉及**体系结构与物理设计的协同考虑**：既要**从架构角度划分功能块**，又要**考虑物理实现可行性和成本优化**。

关键问题：

- **如何量化划分方案的优劣**？我们需要建立目标函数或评价体系，综合考虑性能（如跨芯粒通信延迟对系统频率的影响）、功耗（芯粒间IO功耗开销）、面积（芯粒大小对封装的影响）、良率（芯粒大小影响成品率⁴⁸）以及成本（不同工艺/封装的成本模型⁴⁹）。这些指标往往相互牵制，需要确定优化权衡策略。
- **异构工艺分配对划分的影响**：不同模块在不同制程节点下性能功耗表现不同，且将某模块放在较老工艺上可能需要增加芯粒间通信。需要研究在划分过程中如何选择模块的工艺节点分配，实现整体最优^{22 32}。
- **划分方案的物理可行性**：芯粒间互连有限距离和IO数量约束，例如中介层上两芯粒距离过远可能信号无法可靠传输。划分算法需要内嵌这些**物理约束**，保证生成的方案可在后续布局阶段实现^{50 23}。

拟采用的方法： 本课题计划设计一个**智能划分优化框架**。首先建立问题的形式化模型，将输入SoC表示为一个**模块网表图**（节点为功能模块/IP，边表示模块之间的连接或带宽需求），每个模块具有面积、功耗以及可选工艺节点等属性。然后，引入**启发式搜索或智能优化算法**来探索划分空间，例如：

- **多目标优化算法**：可采用**遗传算法(GA)**或**模拟退火(SA)**等全局优化方法，对划分方案编码（染色体表示各模块的芯粒归属及工艺选择），通过迭代进化寻优。²⁸的成功经验表明GA+SA适用于此类组合优化问题，我们可在其基础上增加更多目标考量（如功耗、性能）。
- **多智能体方法**：借鉴申请人硕士期间在多智能体路径规划中的经验，将划分问题视作多个“智能体”（功能模块）在若干芯粒“区域”中进行布局的过程。采用**冲突检测与解决机制**（类似CBS算法思想）来处理模块划分中的冲突（如超面积约束、多模块争用同一芯粒等），通过迭代调整达到约束满足和优化目标。⁵¹虽然CBS原用于路径规划冲突消解，但其思想可迁移到划分冲突的消解上，例如分步处理通信冲突或资源竞争。
- **成本模型驱动**：仿照ChipletPart的方法，建立**成本和收益模型**，包括芯粒尺寸对良率的影响模型、不同工艺的单位成本、封装中介层面积/IO成本等^{48 52}。以成本最低且性能达标为目标，引导算法搜索。例如可设计适应度函数：综合(制造成本、性能损失罚分)的加权值，促使算法倾向于既成本低又性能好的方案。

在实现上述算法时，将充分考虑**划分与floorplan的联动**。我们计划在划分阶段集成一个简化的**平面布局估计**，即对候选划分方案快速评估其在封装中是否能排布下（根据芯粒面积、预计互连距离等），提前淘汰物理不可行的方案^{50 23}。同时考虑**模块聚类**：尽量将强相关（通信频繁）的模块划分在同一芯粒，减少跨芯粒通信。这可通过图算法分析网表（如社区发现或图划分算法）得到初始聚类，然后在此基础上微调优化。

总之，在多芯粒划分方向，本课题创新点在于：**提出融合启发式全局优化和约束搜索的算法框架**，将工艺节点分配、物理约束、成本模型纳入一体，自动生成高质量的芯粒划分方案。预期该方法能显著优于传统经验划分或简单min-cut结果，为后续步骤打下良好基础。

4.2 多芯粒系统的组合布局与物理设计优化

研究内容： 基于划分得到的芯粒集合，进一步研究芯粒在封装中的**布局 (floorplanning)** 和 **互连优化** 方法。这里的布局指决定每个芯粒在中介层上的位置、朝向，以及跨芯粒连线的走线规划；互连优化包括中介层布线层的分配、IO凸块的位置设计，以及潜在的3D堆叠（如存储芯片堆叠）规划等。该方向关注如何**组合**多个芯粒形成一个完整系统，在物理实现上满足性能/热/信号等要求。

关键问题：

- **芯粒平面布局策略：** 对于给定数量的芯粒，应如何排列它们的位置？是矩阵型平铺、环形、星型，抑或不规则布局？布局需考虑芯粒大小差异以及通信需求。**高带宽通信**的芯粒宜相邻放置，而发热高的芯粒要避免集中导致局部过热。需要多目标优化布局以**缩短关键连线同时均衡热分布** ³⁸。
- **中介层路由与IO规划：** 芯粒间通信通过中介层金属层连线和垂直TSV/Bump实现。如何**布线**以最小化线长和交叉？特别是当芯粒数量多、连线密集时，可能出现类似PCB布线的**拥塞**问题，需要分层规划走线和交换顺序。IO凸块的位置布局也会影响信号完整性和封装布板，可将其视为布局的一部分优化。
- **热与应力管理：** 多芯粒系统中，不同芯粒功耗密度不同，中介层和封装材料的热膨胀系数差异会导致应力问题 ³⁵。布局时需避免高功耗芯粒彼此紧邻并提供散热途径。另外，大芯粒周边可能需要留出应力缓冲区域。这些都属于物理设计需考虑的因素。

拟采用的方法： 本课题拟在布局优化上借鉴IC物理设计和PCB布线领域的方法，并引入机器学习辅助决策：

- **基于图的布局建模：** 将芯粒系统抽象为**通信图**，节点为芯粒，边权重可根据芯粒间的数据传输频率或带宽需求设置 ⁵³。那么问题转化为：在平面上布置这些带权节点，使得加权总通信距离尽量小，同时满足面积/形状约束。这类似经典的模块布局问题，但节点数量较少且各模块大小固定可知。可采用启发式算法如**模拟退火**来排列芯粒位置，目标函数为通信加权线长、热均衡等的综合 ²⁸。同时，引入约束：避免芯粒重叠和超出中介层尺寸。
- **多阶段优化：** 参考申请人PCB布线研究中的策略，可将布局与布线分阶段处理。第一阶段先确定芯粒的大致位置和朝向，使通信线长近似最小；第二阶段在固定芯粒位置的情况下，优化具体的连线布通顺序和布线层分配（类似**逐次消解拥塞**的路由优化）。在布线阶段，可借鉴**多智能体路径规划**的思想：将每一条芯粒间连线视为一个“布线智能体”，采用**冲突解决机制**来逐步消除布线拥堵（该机制在申请人PCB布线工作中通过冲突基搜索CBS取得良好效果）。具体做法是，当两条连线争夺中介层同一走线资源时，引入优先级或弯折绕行策略，确保最终所有关键互连都能实现。
- **机器学习辅助决策：** 对于复杂的布局优化问题，我们考虑训练ML模型来**预测**给定布局的性能/热表现，从而在搜索过程中快速评估候选方案优劣。例如，可采用**图神经网络(GNN)**，输入芯粒通信图和位置信息，输出预测的最大延迟、总线长或热点温度。这样的模型可从大量随机布局样本中学习得到。在优化算法评估阶段，由GNN快速打分，筛选出较优的布局进行详细模拟（例如调用OpenROAD或热仿真工具验证）。此外，也可尝试强化学习让智能体逐步调整芯粒位置：如定义每个芯粒可以移动的动作，RL代理尝试多次移动获得奖励（负的总线长、温度等），最终学得优化布局的策略 ⁴⁵。这种方法有望在搜索巨大解空间时提供高效的指导。

通过以上方法，力争在**芯粒布局与互连**方面得到优化结果。特别地，申请人过往在PCB布线领域的研究经验将在此发挥作用：例如其提出的**自适应热图划分和拥塞感知路由顺序**策略，可用于指导芯粒之间连线的先后顺序，避免局部过度拥堵；又如**最小过孔路径**算法思想，可类似地应用于减少芯粒之间垂直互连（如TSV）的数量，优化信号完整性。总之，本课题将在多芯粒组合设计中**融会贯通EDA与PCB领域的算法优势**，提出适用于芯粒封装的新型物理设计优化技术。

4.3 早期PPA估算与智能优化决策

研究内容： 开发在设计早期快速评估PPA性能的模型和工具，并结合此能力改进优化决策流程。具体包括两个子方向：(a) 针对给定RTL级或模块级设计，预测其经过综合和布局后的频率性能、功耗和面积；(b) 将快速评估工具嵌入架构探索和优化环路中，实现**边探索边评估**的智能设计空间搜索。

关键问题：

- **高准确度的PPA预测：**需要确定合适的特征来代表早期设计。一种做法是分析RTL代码结构（操作数、控制流、逻辑深度等）来预测电路复杂度和时序⁵⁴；另一种是在更高层，从模块互连图推测全局通信开销和资源用量。如何设计特征提取和模型使得预测对不同规模设计都适用，是一大挑战⁵⁵。此外，不同工艺节点、不同行业PDK下指标差异较大，模型需具备一定泛化或可调参能力。
- **数据集构建：**训练机器学习模型需要大量已知PPA结果的设计数据。然而芯片设计具有保密性，公开数据有限。需要考虑利用**开源资源**（如OpenCores电路、公开RTL设计）和**EDA工具自动生成数据**的方式，来获取多样样本。如何高效地用OpenROAD等工具批量产生训练数据也是问题之一。
- **模型集成决策：**将PPA预测模型用于指导优化时，需要考虑预测不确定性。若模型有一定误差，直接信任其输出可能导致优化偏差。因此需要设计**鲁棒的决策机制**，例如对模型预测加入安全裕量，或者在人机交互环节提供多个方案候选。

拟采用的方法：

- **机器学习PPA预测模型：**本课题拟构建一种混合模型：首先借鉴文献中的**算子图(Simple Operator Graph)**思路，将RTL级设计映射为图结构，使得模型规模与设计复杂度线性相关⁵⁶。接着，采用**图神经网络(GNN)**或**基于决策树的回归模型**对图进行学习，输出PPA指标预测。一方面，GNN天然适合处理电路图结构，可学习节点间通信对性能功耗的影响；另一方面，决策树/随机森林对数值特征回归效果好，可用于预测一些标量指标。我们考虑结合两者优势，设计一个混合模型：例如用GNN提取每个模块的“嵌入”特征，再将整个设计的特征汇总输入树模型做最终预测。
- **训练数据集获取：**计划充分利用**开源EDA工具**构建训练数据。具体步骤：选取若干开源RTL设计（不同规模和类型，如RISC-V处理器、图像处理IP、AI加速器等），以及基于合成随机网表的电路，然后使用OpenROAD/OpenLane等开源后端工具对每个设计进行综合、布局布线，得到实际的频率、功耗、面积结果。课题组已有师兄在使用OpenROAD构建相关数据集，这将为本研究提供借鉴和基础。通过脚本自动化，可生成数百上千组<设计，PPA>数据。此外，针对多芯粒架构的特殊情况，我们也将构造一些**虚拟的划分案例**：例如把一个SoC拆分成不同芯粒的多种方案，分别进行P&R得到结果。这样训练的模型就能捕捉芯粒划分对PPA的影响。
- **模型优化与验证：**采用交叉验证和独立测试集评估模型精度。如果初始模型精度不理想，将尝试增加特征（如考虑模块间互连长度估计、存储访存频率等）或调整模型结构（如引入注意力机制的GNN）。力争使关键指标预测误差控制在10%以内，达到文献报道的先进水平³⁹。
- **集成到优化决策：**一旦有了快速PPA评估模型，我们将其嵌入前述划分和布局优化流程中，实现**边搜索边评估**。例如，在划分算法的每一次候选方案生成后，调用PPA模型快速预估该方案的性能/功耗，如果明显不达标则及时放弃继续优化，集中算力在有前景的方案上。这相当于为优化算法提供了一个“提前预判”的能力，减少无效搜索。此外，在架构层面可以建立一个**设计空间探索(Design Space Exploration, DSE)**框架：枚举不同的芯粒数量、封装类型等方案，由RL智能体或启发式算法提出方案组合，PPA模型即时评估反馈奖励。类似Chiplet-Gym的方法表明，强化学习结合快速评估可有效遍历庞大的设计选项⁴⁵。我们将设计一个面向多芯粒架构的DSE原型，实现**自动化决策建议**。最终，希望能推荐若干优选的架构划分与布局方案供设计人员参考，大幅减少人工反复尝试。

通过以上研究，在早期阶段就赋予EDA工具“预见”能力，使设计优化从被动验证转为主动预测。这将显著缩短多芯粒系统的设计周期，提升设计质量。同时，本方向充分利用了申请人在图神经网络、智能算法方面的背景，使AI技术真正落地到EDA应用中，体现“AI+EDA”的时代趋势⁵⁷。

五、前期研究基础

申请人在硕士阶段的研究工作为本博士课题打下了良好基础。硕士期间主要聚焦于**PCB自动布线、智能路径规划和图神经网络应用**，取得了一系列成果，包括发表学术论文和申请发明专利等。这些经验将有助于本课题的开展，具体体现在：

- **EDA算法研究经验：** 申请人的硕士课题将**多智能体路径规划算法CBS**成功引入PCB布线领域^[51]。相关论文发表在The Journal of Supercomputing，提出了在非规则网格（Delaunay三角网格）上进行PCB布线的冲突搜索算法UGPCB-CBS。该工作证明了申请人有能力将前沿算法思想迁移到EDA问题上，并在复杂约束下寻优。这与本课题需要将智能优化算法用于芯粒划分/布局的思路异曲同工。尤其是CBS算法的冲突检测与分解策略，对应于芯粒划分中资源冲突的解决，有思想上的类比价值。
- **复杂布线与优化能力：** 在另一篇待发表论文中，申请人研究了**多智能体的最小过孔PCB布线算法**（MLV-CBS），通过自适应热图划分和拥塞协商等策略，实现了在大规模PCB设计上减少过孔并提高布线效率。这体现了申请人善于处理**大规模组合优化和拥塞管理**问题的能力。多芯粒系统的互连优化也属于这类问题，因此申请人的经验将有助于设计有效的布局布线优化策略。
- **图神经网络应用经验：** 申请人目前有一篇在审论文探讨将**图神经网络(GNN)**用于PCB布线中的协同路由决策（CoRoNet）。这表明申请人具备将电路/版图问题抽象为图并应用深度学习的能力。在本博士课题中，无论是架构划分的模块图建模，还是PPA预测的电路图表示，抑或强化学习决策中的状态表示，都可以借鉴图论和GNN技术。申请人的相关经验将大大降低探索AI在芯粒EDA中应用的学习曲线，使研究工作尽快进入实质阶段。
- **研发实践能力：** 此外，申请人在硕士期间还参与了一年企业实习，在芯和半导体公司从事EDA软件研发，主导开发了PCB交互式推挤布线算法并集成到工业EDA工具中。这段经历使申请人熟悉了EDA工具从算法到工程实现的完整流程，锻炼了C++开发和软硬件协同优化能力。特别是其负责的**金手指自动推挤布线算法**涉及封装级布线优化，这与多芯粒封装布局有相通之处。申请人掌握的**前后端数据交互**和**性能优化**技能，将有助于本课题在开发原型工具、处理海量仿真数据时得心应手。同时，在企业环境中培养的工程视角和团队协作能力，也将帮助申请人在博士阶段与课题组同事、产业合作方（如飞腾公司）顺畅配合，加快成果转化。

综合来看，申请人已在**算法理论**和**工程实现**两方面打下坚实基础，这为本研究计划的顺利开展提供了保障。课题组目前在多芯粒EDA方向也有一定的前期积累（如已有师弟利用OpenROAD构建数据集）。申请人加入后，可充分利用课题组现有平台和资源，与团队成员优势互补，共同攻克研究难题。

六、研究计划与进度安排

本课题预计用3-4年时间完成，拟定的研究计划和进度安排如下：

- **第一阶段（第1年）：文献调研与方案设计。** 深入学习多芯粒架构及EDA相关文献，包括芯粒划分、异构集成、封装设计、早期PPA预测等方面最新研究成果^{[58][59]}。调研工业现状（了解Cadence、Synopsys等公司的多芯粒解决方案）和开源工具（OpenROAD、OpenPBlock等）的使用方法。结合调研，细化本课题研究框架，确定切入点和技术路线。例如选定优先攻关的子问题（如划分算法），并设计初步方案。搭建基础开发环境，准备好所需的EDA工具和仿真平台。第一阶段预计产出文献综述报告和初步方案设计报告各一份。

- **第二阶段（第2年）：算法开发与原型实现。**围绕多芯粒划分和布局两个核心问题，开发智能优化算法原型。首先实现基本的划分求解器（可先基于启发式或ILP模型验证小规模可行性），然后逐步加入异构工艺、物理约束等模块完善算法框架。在布局优化方面，实现芯粒通信图建模和初步的布局优化算法（如SA框架）。与此同步，开始构建小规模数据集，用OpenROAD对一些测试设计进行PPA分析，以校验划分布局方案的优劣。第二阶段目标是发布一个**实验性质的EDA小工具**，能够输入某设计网表和划分参数，输出划分+布局方案并给出粗略PPA估计。此阶段争取撰写1篇会议论文（侧重算法部分的创新）。
- **第三阶段（第3年）：机器学习模型训练与集成。**在前期算法基础上，引入机器学习模块。大规模生成训练数据：利用课题组已有的数据集并自行扩充，涵盖不同规模不同结构的设计以及多芯粒划分案例。训练PPA预测模型并优化其精度，验证在未见设计上的泛化能力。随后，将该模型无缝集成到划分和布局优化流程中，形成**AI辅助的设计空间探索工具**。本阶段重点评估AI介入后对优化效率和结果质量的提升幅度。如有显著成果，拟撰写期刊论文1篇（侧重AI模型与EDA结合的成果）。同时，与课题组和合作公司讨论，选择具有代表性的实用案例（如简化的多核CPU架构）进行工具测试，收集反馈以改进方法。
- **第四阶段（第4年）：系统优化与论文撰写。**对整个研究工作进行**系统性完善和优化**。针对前阶段发现的问题进行补充研究，例如若划分算法对某些大型设计性能不足，则考虑并行化或更高效算法改进；若预测模型对某类指标不准，则增加特定训练数据或结合物理公式修正。最终形成**一套完整的多芯粒EDA优化流程**，并在不同案例上进行验证（包括性能极限测试、不同封装形式测试等），证明方法的通用性和鲁棒性。准备博士论文的撰写，总结提炼创新点和理论贡献。力争再发表1-2篇高水平论文。同时，如有条件，将研究成果凝练为可发表的软件工具或专利申请。在第4年末，完成博士论文答辩和学位申请。

上述计划将根据实际进展动态调整。在整个过程中，会定期与导师沟通汇报，每年参加至少一次学术会议交流，确保研究方向和进度符合预期。

七、研究创新点与可行性分析

创新性：本课题面向多芯粒EDA这一新兴领域，综合运用EDA优化和AI技术，预期将产生如下创新：(1) 提出一种融合多目标启发式和多智能体策略的芯粒划分算法，实现对异构工艺、成本及物理约束的统一优化，这是对现有Partition算法的重要拓展；(2) 提出针对芯粒封装的定制布局布线优化方法，将PCB布线领域的理念引入芯片封装设计，预计在降低芯粒互连开销方面取得新进展；(3) 开发早期PPA预测模型并用于设计空间探索，属于AI+EDA的前沿方向，有望达到国际先进的预测精度水平，为EDA工具智能化提供范例；(4) 整合以上成果，建立从架构到物理的多芯粒协同设计流程，为学术界提供一种全局视角的方法学框架，在国内该领域属于前沿探索。通过论文发表和开源工具形式，本研究的成果将丰富多芯粒设计自动化的理论和方法库。

可行性：本课题具有良好的实现基础和环境支持。一方面，申请人和课题组已有相关领域的研究积累和技术储备，如申请人的多智能体算法和GNN经验、师兄的OpenROAD数据集经验等，这些都将直接助力本研究目标的实现。另一方面，所需的实验平台均已具备或可获得：EDA软件方面有开源的OpenROAD、Gem5模拟器等可供使用，计算资源方面课题组拥有足够的服务器和EDA加速硬件。此外，与国内企业（如飞腾公司）的潜在合作将提供实际案例和需求背景，确保研究不脱离实际。课题导师在EDA与IC设计领域经验丰富，将给予重要指导。总体而言，在人才物等方面，本课题均具备充分保障。

风险与对策：针对可能遇到的挑战，例如数据不足导致的AI模型不准、算法复杂度高导致优化时间长等，我们已准备了相应对策。如数据问题可以通过模拟合成数据和迁移学习缓解；性能问题可通过算法降维、并行计算等手段优化。此外，课题在方向上具有一定弹性：如果某一路径受阻（例如某种模型效果欠佳），可调整技术路线（更换模型或算法）以确保总体目标达成。

八、预期成果

通过本博士课题的实施，预期将取得如下成果：

- 在国际高水平学术期刊和会议发表论文若干篇，传播本课题的研究方法和结果，提升我国在EDA智能设计领域的学术影响力。
- 开发出原型**多芯粒设计自动化工具**，能够对给定的设计进行芯粒划分、布局并预测PPA。这一工具可考虑开源，供学术界进一步研究，也可为工业界提供参考实施。
- 申请至少1项发明专利，保护在芯粒划分优化或PPA预测方面的新技术方法，为未来技术转移做准备。
- 培养申请人在EDA与AI交叉领域的科研和创新能力，成长为能够独立从事相关研究的专业人才。为课题组和合作企业输送有价值的技术和方案，推动多芯粒设计方法在国产EDA工具中的应用。

综上所述，本研究计划选题新颖、意义重大，研究内容充实具体，方案设计合理可行。通过在博士阶段的深入研究和实践，申请人有信心完成预定目标，为EDA领域的多芯粒设计自动化方向做出有益贡献，也为我国集成电路“芯片let”技术的发展贡献力量。

参考文献：

1. Chen S., et al. *The Survey of Chiplet-based Integrated Architecture: An EDA perspective*. ASPDAC 2025 ⁶₅.
2. Mutschler A. *Partitioning In The Chiplet Era*. Semiconductor Engineering, 2024 ⁷₁₉.
3. Chen S., et al. *Floorplet: Performance-aware Floorplan Framework for Chiplet Integration*. IEEE Trans. VLSI, 2023 ²⁴₂₆.
4. Graening A., et al. *ChipletPart: Scalable Cost-Aware Partitioning for 2.5D Systems*. arXiv preprint arXiv: 2507.19819, 2023 ⁴⁸₂₉.
5. Chattopadhyay A., et al. *Machine Learning Framework for Early PPA Estimation of RTL*. arXiv:2502.16203, 2025 ³⁹.
6. Koon J. *Improving PPA With AI*. Semiconductor Engineering, 2022 ⁴⁰₄₃.
7. Mishty K., Sadi M. *Chiplet-Gym: Optimizing Chiplet-based AI Accelerator Design with RL*. IEEE Trans. VLSI, 2024 ⁴⁴₄₅. (等等)

¹ ² ³³ ³⁴ 2.5D integrated circuit - Wikipedia

https://en.wikipedia.org/wiki/2.5D_integrated_circuit

³ ⁵ ⁶ ⁸ ⁹ ¹³ ¹⁴ ⁵⁸ The Survey of Chiplet-based Integrated Architecture: An EDA perspective

<https://arxiv.org/html/2411.04410v1>

⁴ ⁷ ¹¹ ¹⁸ ¹⁹ ²⁰ ³⁶ ³⁷ Partitioning In The Chiplet Era

<https://semiengineering.com/partitioning-in-the-chiplet-era/>

¹⁰ ¹² ⁴⁴ ⁴⁵ Chiplet-Gym: Optimizing Chiplet-based AI Accelerator Design with Reinforcement Learning

<https://arxiv.org/html/2406.00858v1>

¹⁵ ¹⁶ ²⁴ ²⁵ ²⁶ ³⁵ ⁵³ arxiv.org

<https://arxiv.org/pdf/2308.01672>

17 21 22 23 27 28 29 30 31 32 48 49 50 52 59 ChipletPart: Scalable Cost-Aware Partitioning for 2.5D Systems

<https://arxiv.org/html/2507.19819v1>

38 Floor-Planning Evolves Into The Chiplet Era

<https://semiengineering.com/floor-planning-evolves-into-the-chiplet-era/>

39 54 55 56 [2502.16203] Machine Learning Framework for Early Power, Performance, and Area Estimation of RTL

<https://arxiv.org/abs/2502.16203>

40 41 42 43 46 47 51 57 Improving PPA With AI

<https://semiengineering.com/improving-ppa-with-ai/>